

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-051358

(43)Date of publication of application : 20.02.1998

(51)Int.Cl. H04B 3/36
H04B 3/02
H04Q 9/00

(21)Application number : 08-199955 (71)Applicant : HITACHI DENSHI LTD

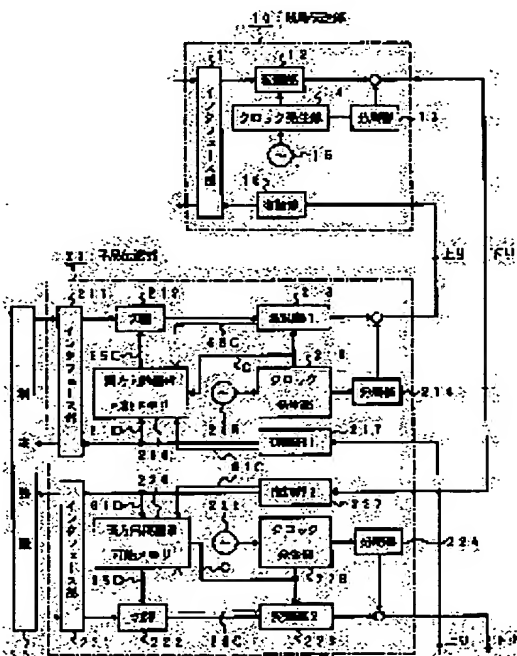
(22)Date of filing : 30.07.1996 (72)Inventor : SUGIYAMA SHIZUO

(54) REPRODUCTION REPEATER

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a transmission delay time and to perform stable multi-stage reproduction relaying by performing a reproduction processing in a data transmission part without processing the part to be reproduction relayed of data in a data processing part.

SOLUTION: The element parts of the device of the master station of the reproduction relay and one slave station are composed of a master station transmission part 10, a slave station transmission part 20 and the terminal equipment 30 of the slave station 2. In the slave station transmission part 20, in both incoming direction and outgoing direction, output (data and clocks) from the slave station transmission part 20, demodulation parts 217 and 227 are sent to the terminal equipment 30 through an interface part 211 or 221. In the meantime, the data from the demodulation parts 217 and 227 are inputted to both-direction readable and writable memories 216 and 226. In this case, while inputting the data demodulated in the slave station transmission part 20 to the both-direction readable and writable memories 216 and 226, the data stored in the memories 216 and 226



are outputted as modulation data to the slave station of the next stage. That is, the data of the next slave station are transmitted from the middle of data reception.

LEGAL STATUS

[Date of request for examination] 26.03.2002

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision
of rejection or application
converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-51358

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	3/36		H 0 4 B	3/36
	3/02			3/02
H 0 4 Q	9/00	3 2 1	H 0 4 Q	9/00 3 2 1 D

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平8-199955

(22) 出願日 平成 8 年(1996) 7 月30日

(71) 出願人 000005429

日立電子株式会社

東京都千代田区神田和泉町1番地

(72) 発明者 杉山 静夫

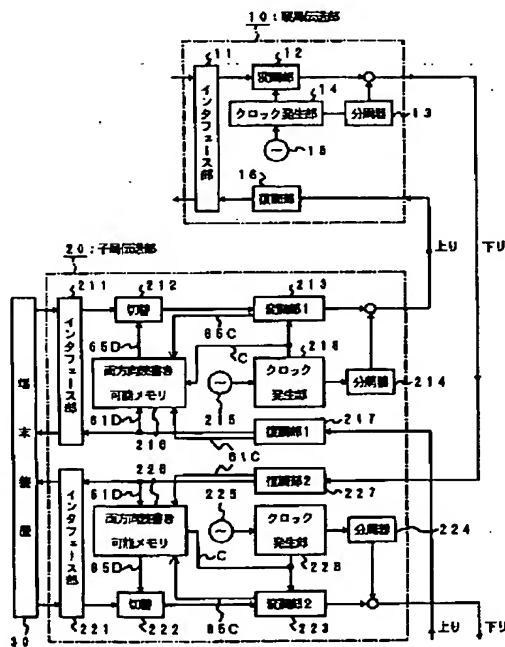
東京都小平市御幸町32番地 日立電子株式会社
小金井工場内

(54) 【発明の名称】 再生中継装置

(57) 【要約】

【課題】 再生中継の方式として復調データすなわち、再生データから得られるクロック信号を用いて次段の変調をする再生中継方式が従来からあるが、この場合、再生中継毎にクロック信号にジッタが増大し、再生中継段数は極端に少なくせざるを得ない。本発明はデータ長が長く、しかも、再生中継段数を多く必要とする場合に効率よく再生中継する装置を提供する。

【解決手段】 本発明は、親局からのデータをアナログ信号に変調して送信し、子局では復調し、さらに変調して次の子局へ送信する多段再生中継する装置において、前記子局の伝送部で復調したデータを同時読書き可能な記憶回路へ入力しつつ、該記憶回路に記憶されたデータを次段の子局への変調データとして出力するようにしたものである。



【特許請求の範囲】

【請求項1】 親局からのデータをアナログ信号に変調して送信し、子局では復調し、さらに変調して次の子局へ送信する多段再生中継する装置において、前記子局の伝送部で復調したデータを同時読書き可能な記憶回路へ入力しつつ、該記憶回路に記憶されたデータを次段の子局への変調データとして出力することを特徴とする再生中継装置。

【請求項2】 親局からのデータをアナログ信号に変調して送信し、子局では復調し、さらに変調して次の子局へ送信する多段再生中継する装置において、前記子局装置は、端末装置と、伝送部で構成され、該伝送部は、子局側から親局側への信号の伝送方向に位置した上り側と親局側から子局側への信号の伝送方向に位置した下り側との二つの構成を持ち、各々は、受信信号を復調する復調部と、該復調されたデータを記憶する同時読書き可能な記憶回路と、該復調部で復調されたデータを前記端末層へ送出するためのインターフェース部と、前記記憶回路の出力データか前記端末装置側から前記インターフェース部を経由し出力されるデータかの何れかを選択する切換器と、該切換器からのデータを変調する変調部を有することを特徴とした再生中継装置。

【請求項3】 請求項2記載の再生中継装置において、前記同時読書き可能な記憶回路は入力データのバッファ部と、該バッファ部のデータをデコードするデコーダ部と、該デコーダ部の出力を記憶するメモリ部と、該メモリ部の出力をデコードするデコーダ部と、該デコーダ部出力のバッファ部とにより成り、前記入力側のバッファは前記復調部からの受信クロックにより動作し、前記出力側のバッファは前記変調部からの送信クロックにより動作することを特徴とする再生中継装置

【請求項4】 請求項2記載の再生中継装置において、前段の子局または親局からのデータが自己の子局のアドレスのデータではない場合、自己の子局の前記インターフェース部以降の回路へは前記データを入力しないことを特徴とする多段再生中継装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ伝送の再生中継に関するものである。

【0002】

【従来の技術】再生中継のシステム構成を図8に示す。1つの親局1に対してn局の子局2があり、図8に示すように親局1からは子局2-1から順番にデータが送られる。その様子は図7に示すように各子局2で再生中継され子局2-nまで伝送される。なお、dは伝送されるデータ、fはフラグである。この例は従来のデータ再生中継をした場合を示すものである。図7はデータ量が少ない場合を示したものであり、子局2-nまでの伝送時

間はデータ量が少ない(例えば10ビット(1ビット=1/9600msec))のであまり問題にはならないことを示している。

【0003】図5は、従来の再生中継装置を説明する機能ブロック図である。図5において、10は親局電送部、21は子局2の電送部を示す、30は子局2の端末装置で、具体的には、例えば、システムが、変電所の集中制御装置のようなものであれば、その端末制御装置である。

【0004】親局1の電送部10は、インターフェース部11、変調部12、クロック発生部14、分周器13、発信器15、復調部16より成る。

【0005】21は子局の電送部で、上り側は、切り換え器232、変調部236、発信器235、クロック同期部238、クロック再生部234、復調部237より成る。下り側は、変調部246、クロック同期部248、クロック再生部244、復調部247より成る。231はインターフェース部である。ここで、「上り」とは子局2側から親局1側への方向を示し、「下り」とは親局1側から子局2側への方向を示す。

【0006】従来の再生中継は、データ量が少ないことから子局の伝送部21ではなく図示しないデータ処理部分で受信したデータを全てバッファ等にメモリして、その後、下位の局へ伝送するための新たにデータを作成して伝送を行なう再生中継方式であった。

【0007】ところがこの再生中継方式であると、図6に示すようにデータDの量が例えば100~200ビットと多くなった場合、親局1から最終子局2-nに到達する時間(伝送時間)が長くなってしまい、実用化できる子局2の台数nが小さくなってしまふ。なお、同図において、Fはフラグである。また、伝送部から受信したデータはすべてデータ処理部に送られ、その後、データ処理部で処理されることになる。このため、データ長が長いデータを処理するのにデータ長分だけ時間がかかる。

【0008】最近では大量のデータを伝送することが必要となってきている。したがって、このようなシステムでは、効率的でないことが理解できる。一例として、子局数nは10局~20局のシステムでは伝送遅延時間は約10から20msecとなる。

【0009】

【発明が解決しようとする課題】前述の従来技術には、データ量が多くなればなるほど伝送遅延時間が大きくなる欠点がある。本発明はこれを解決するため再生中継する部分を子局のデータ処理部ではなく伝送部にて再生中継する方式を提供するものである。伝送部で再生中継した場合、周波数ずれの対策を伝送部またはデータ処理部で実行する必要があるが、伝送部で処理の方が簡便な処理ができる。

【0010】それは、自局のアドレスでないデータを受

信した場合は通信処理部前段で処理したデータをすぐに通信処理部後段から切り替え部を通して変調部へ出力する動作ができる。すなわち、データの遅延を最小限で処理できる効果がある。

【0011】本発明の第1の目的は伝送遅延時間を短縮することであり、第2の目的は安定した多段再生中継を提供することにある。

【0012】更に伝送部で再生中継するにもかかわらずクロックの周波数ずれによる復調データのエラー、位相ジッタによる問題（段数増加することによってある段数を越えたときに再生中継できなくなる）を解決するものである。

【0013】変調された信号を復調するとき、変調信号から変調のタイミングを抽出して再生する。このとき、再生したタイミング信号は1サイクル毎にパルス幅が少しづつ変化する。これをタイミングジッタといい、復調したときに必ず発生する。受信した信号から作成したタイミング信号（ジッタを含）を使って、次の変調タイミングにすると次の復調する段階で前のジッタがさらに追加されることになる。このように、ジッタは復調毎に重畳する。

【0014】次に、周波数ずれについて説明する。親局の変調部の発信源の周波数を f_1 とし、各子局の発信源周波数を f_2 、 f_3 ・・・とする。これらの周波数は各伝送部の水晶発信器から出力されるものであり、周波数はすべて異なった周波数である。これを周波数ずれという。

【0015】このような、周波数ずれによりデータの欠落が生ずる。例えば周波数 f_1 で変調した信号を復調して次の変調は f_2 の周波数で変調すると、 $(f_1 - f_2)$ の時間差が発生する。例えば $f_1 = 9601\text{Hz}$ 、 $f_2 = 9599\text{Hz}$ とし、平均的に 9600bps のデータ伝送をしているとした場合、 9600 ビットのデータを送ったとき、一方は 9601 ビット送り、一方は 9599 ビット送ることになる。すなわち、データをそのまま次の段へ渡すとある時間経過すると（ 9600 ビット送信後）2ビットデータが欠けてしまうことになる。これを周波数ずれによるデータの欠落という。このようにして、ある子局が段数を越えると再生中継が不可能となる。

【0016】

【課題を解決するための手段】第1の目的を達成するために、データの再生中継する部分をデータ処理部で処理するのではなく、データ伝送部の中で再生処理するものである。

【0017】更に第2、第3の目的を達成するため、各子局の伝送部にデータバッファを使用することにより、タイミングジッタ（受信クロック）の影響は、データのバッファメモリで解消することにしたものである。また、データバッファ方式で次に問題になるのは、子局間

のクロックの周波数ずれであるが両方向読み書き可能メモリにより、書込みしたデータを書込みした時のクロックとは別のクロックですべて読出しできるので、周波数の偏差の影響を受けることがない。

【0018】

【発明の実施の形態】データバッファ方式の本発明の再生中継方式について以下説明する。

【0019】なお、システムの全体構成は図8に示すように従来と同じである。

【0020】図1は本発明の実施を示すブロック図で、同図は再生中継の親局1と1つの子局2の装置構成の一部を示したものである。同図において、10は親局電送部、20は子局2の電送部を示す、30は子局2の端末装置である。

【0021】親局1の電送部10は、インターフェース部11、変調部12、クロック発生部14、分周器13、発信器15、復調部16よりなり、これは先に説明した図5の従来装置の親局電送部10の構成と同一である。一方、子局電送部20は、インターフェース部211、切り換え器212、変調部213、発信器215、クロック発生部218、分周器214、復調部217、両方向読み書き可能メモリ216より成る上り側の構成と、インターフェース部221、切り換え器222、変調部223、発信器225、クロック発生部228、分周器224、復調部227、両方向読み書き可能メモリ226より成る下り側とにより構成される。

【0022】次に、この動作を図4のタイミングチャートを参照し説明する。

【0023】上り方向、下り方向とも子局伝送部20、復調部217、227からの出力（データ及びクロック）はインターフェース部211又は221を介して端末装置30へ送られる。一方、復調部217、227からのデータは、両方向読み書き可能メモリ216、226に入力される。

【0024】図2にこのメモリ216、226の機能ブロックを示す。同図において、61は入力バッファ、62はデコーダ、63はメモリ、64はデコーダ、65は出力バッファである。このメモリは、一例として、デュアルポートRAMである。

【0025】入力されるデータ61Dは、復調した受信クロック、すなわち、制御信号で図2に示す入力バッファ61に入る。データはデコーダ62でデコードしメモリ63に格納され出力バッファ65は変調する送信クロック65C（制御信号）でデータ65Dを出力する。

【0026】この実施例により、データが親局1から子局2に伝送される状況を図3に示す。

【0027】同図は親局1から子局2-1を出るまでの伝送時間及び、各子局の伝送時間を示している。従来方式（図6）では各子局はデータDすべてを受信してから、次の子局へデータを渡すことになっていたが本実

施例ではデータ受信の途中から次の子局のデータを送信することができる。従って、大幅にデータ伝送遅延を少なくすることができる。

【0028】受信クロック61Cは復調部217、227から再生される受信タイミング信号のことである。このクロックはデータとタイミングの位相関係が常に一定であり、タイミングの立ち上がり、または、立ち下がりデータの中央点の関係を持っている。すなわち、このタイミングで、データが1または0かを判定する。一方、送信クロック65Cは両方向読み書き可能メモリ216、226から入力されたデータを読み出すための信号である。

【0029】ここで、受信クロック61Cと送信クロック65Cは当然周波数に偏差がある。しかし、その偏差には規定値があり、水晶発振器の $\pm 100 \text{ ppm}$ 程度がアナログ伝送用に使われている仕様であり、この偏差とデータ長を考慮してバッファするメモリを用意しておくことにより、受信と送信クロックのずれにより復調できないことはなくなる。つまり、図1のブロック図及び図4の詳細タイムチャートで説明したように、受信データはそのままバッファメモリに格納し、データを出力する場合は、クロックの周波数ずれ分が吸収できるバッファメモリを準備し最低でも1バイト以上の遅らせた信号でデータを出力することで周波数ずれは吸収できる。

【0030】このようにして、システム及び伝送速度によりバッファ量が可変となり、 t の時間が変わることになる。しかし、偏差が 100 ppm 程度であるので t は非常に小さい時間となる。

【0031】また、上記実施例の再生中継装置において、前段の子局2または親局1からのデータが自己の子局のアドレスのデータではない場合（すなわち、自局宛のデータではない場合）、自己の子局のインターフェース部211、221へは前記データを入力しないように*

*し、端末装置30の負担を軽くすることができる。

【0032】

【発明の効果】以上説明したように、本発明によれば、第1に多段中継における伝送遅延時間を短縮することができる。更に性能的に安定した多段中継を提供できる。

【0033】伝送時間については、従来方式ではデータ長 \times 子局数が全体システムでの遅れ時間となってしまうが、本発明では最低でも子局数分の1、即ち1データ長の範囲内には短縮することができる。

10 【0034】また、本発明は、子局間のクロック周波数ずれは、送受信間1対向の偏差内であり、周波数ずれが重畳することはないため、安定した多段再生中継システムが構築できる。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図。

【図2】本発明の実施例における両方向読み書き可能メモリのブロック図。

【図3】本発明の実施例における再生中継のタイムチャート。

20 【図4】本発明の実施例における子局伝送部の動作タイミングチャート。

【図5】従来の再生中継装置ブロック図。

【図6】従来の再生中継におけるタイムチャート。

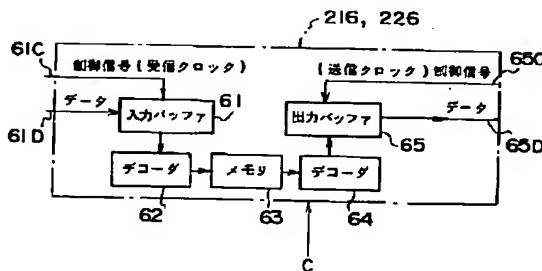
【図7】従来の再生中継におけるタイムチャート。

【図8】再生中継方式全体のシステムブロック図

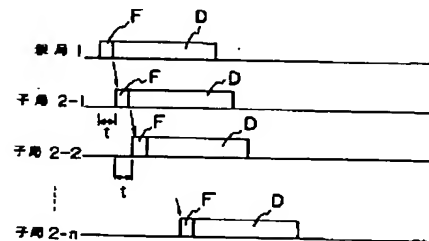
【符号の説明】

10 親局伝送部、20 子局伝送部、30 端末装置、61 入力バッファ、62、64 デコーダ、63 メモリ、65 出力バッファ、216、226 両方向読み書き可能メモリ、211、221 インターフェース部、212、222 切換器、213、223 変調部、217、227 復調部、214、224 分周器、218、228 クロック発生部、

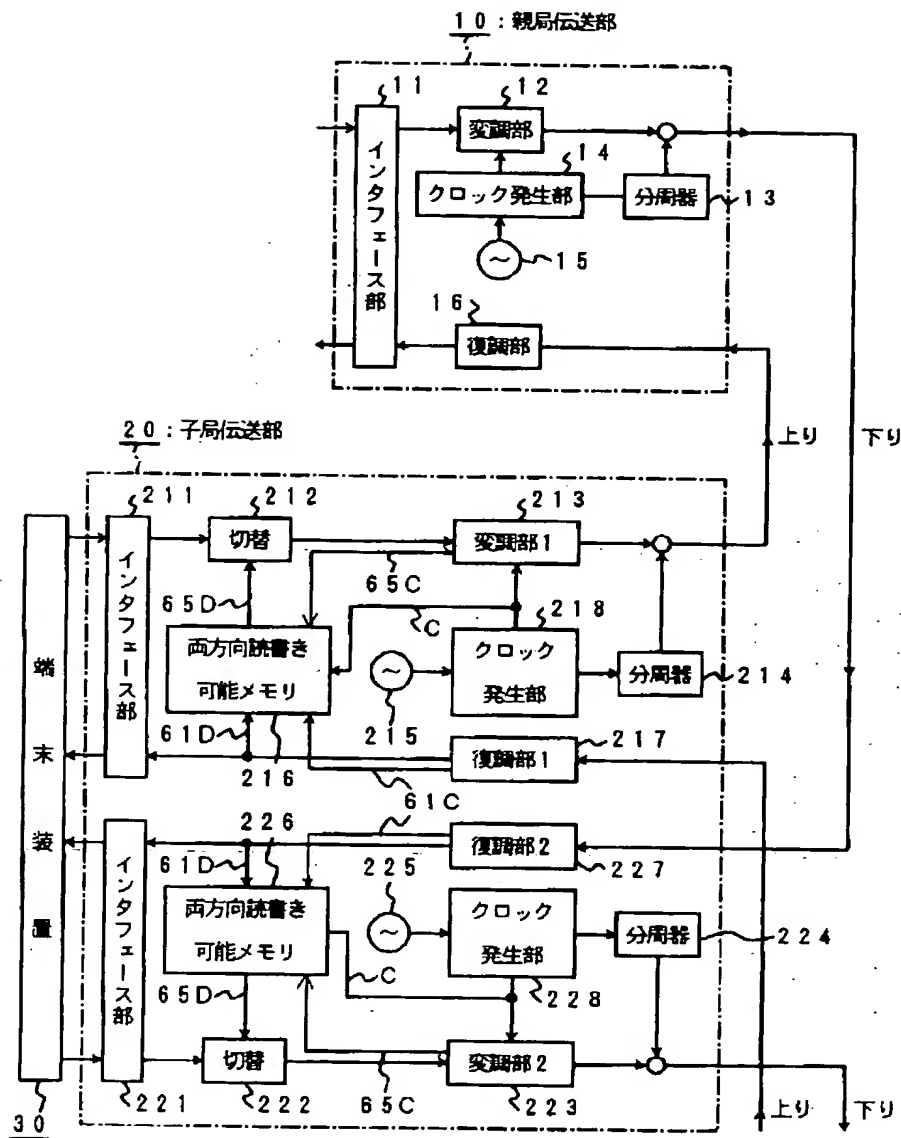
【図2】



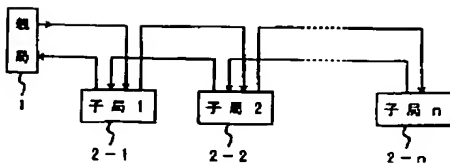
【図3】



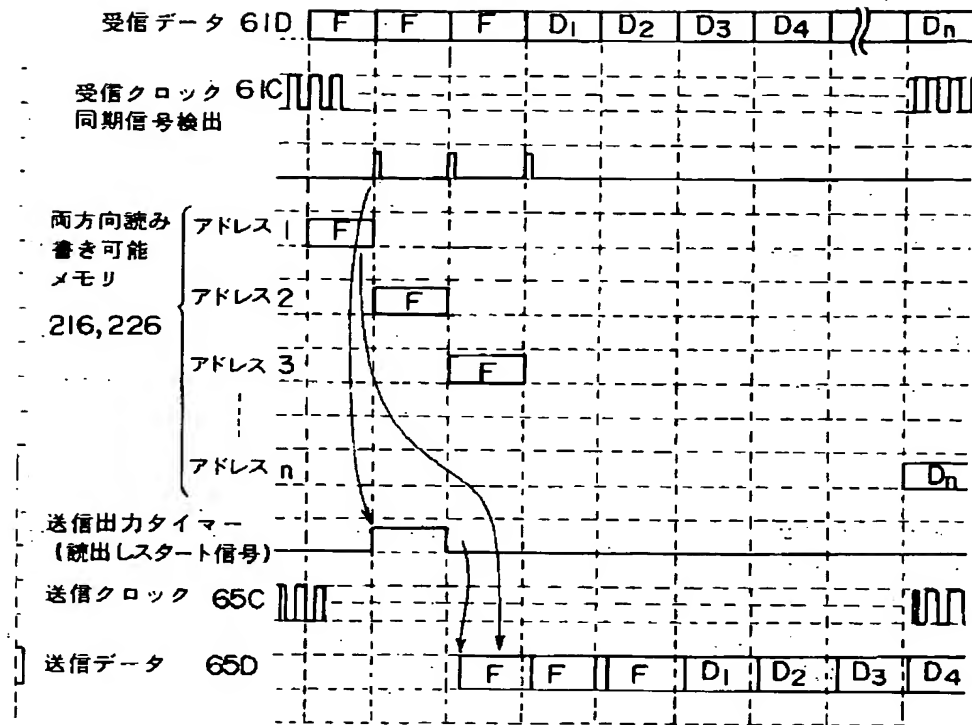
【図1】



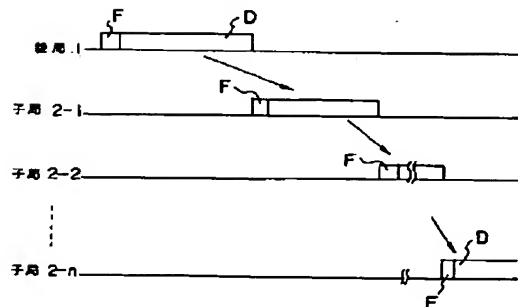
【図8】



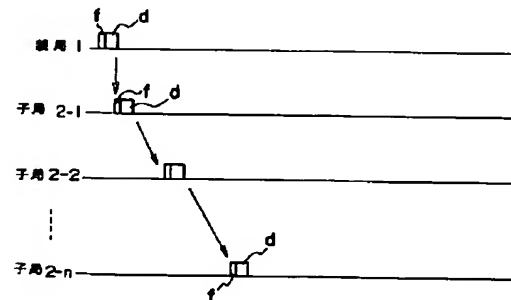
【図4】



【図6】



【図7】



【図5】

